

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 09 日
Application Date

申請案號：092108094
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 5 月 21 日
Issue Date

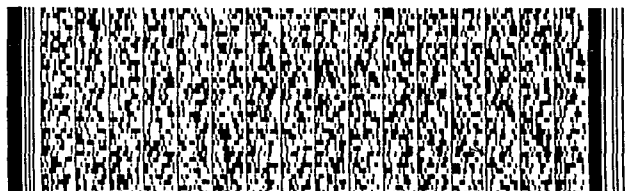
發文字號：09220496260
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	形成瓶型溝槽的方法
	英 文	Method of forming bottle trench
二、 發明人 (共3人)	姓 名 (中文)	1. 蔡子敬 2. 陳逸男 3. 何欣戎
	姓 名 (英文)	1. Tzu-Ching Tsai 2. Yi-Nan Chen 3. Hisn-Jung Ho
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 桃園縣蘆竹鄉南華一街39號10樓之9 2. 台北市北投區建民路151巷4號 3. 台北縣汐止市和平街36巷2-1號11樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：形成瓶型溝槽的方法)

本發明提供一種形成瓶型溝槽的方法。本發明之主要特徵之一在於以複晶矽取代習知製作溝槽電容中所採用之光阻，屏除表面不易平坦的光阻，以避免習知之剝除溝槽上半部光阻後會發生光阻表面與基底表面距離不易控制的問題。本發明之主要特徵之二在於以沉積的方法形成氮化物保護層，可容易掌控且增加其厚度，以便於進行瓶型蝕刻(bottle wet etching)時提供充足的保護，可大大地增加開口尺寸，仍使溝槽上半部不被蝕刻。

伍、(一)、本案代表圖為：第7圖。

(二)、本案代表圖之元件代表符號簡單說明：

100~ 基底；

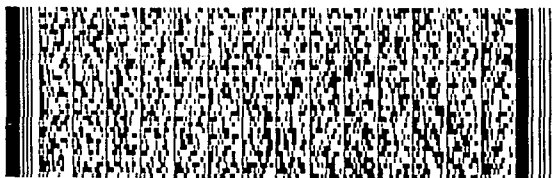
102~ 硬罩幕；

I~ 溝槽上半部；

II~ 溝槽下半部；

六、英文發明摘要 (發明名稱：Method of forming bottle trench)

A method of forming a bottle trench. First, a substrate is provided. Next, a hard mask with an opening is formed on the substrate. The substrate is etched through the opening to form a trench having an upper part and a lower part. An insulating layer is formed conformally on the hard mask and in the trenches. A shield layer is formed in the lower part of the trenches. A part of the



四、中文發明摘要 (發明名稱：形成瓶型溝槽的方法)

108a~ 殘留遮蔽層；

106a~ 殘留氧化層；

110~ 保護層；

300~ 熱處理程序。

六、英文發明摘要 (發明名稱：Method of forming bottle trench)

insulating layer, which is not covered by the shield layer, is then removed. A protective layer is formed on the upper part of the trench. The shield layer and the insulating layer are removed. Finally, the substrate of the lower part of the trench is wet etched using the protective layer as a mask so as to form a bottle trench.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

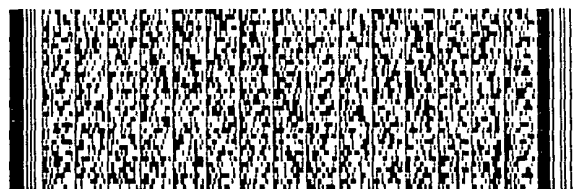
本發明係有關於半導體積體電路的製程技術，特別是有關於適用於動態隨機存取記憶體(Dynamic Random Access Memory ; DRAM)之溝槽電容用的瓶型深溝槽的形成方法。

【先前技術】

隨著動態隨機存取記憶體的密度持續地增加，必須減少記憶單元(memory cell)的尺寸，而記憶單元的尺寸係決定於微影技術(photolithography)的最小解析度。同時，必須維持一定量的儲存電容以正常地操作DRAM。業界為了符合兩者(尺寸、電容量)的需求，已經發展出一種在半導體基底內形成垂直式溝槽(vertical trench)電容。

動態隨機存取記憶體(DRAM)的每個DRAM胞只需要一個電晶體和一個電容器，因此相對於其他記憶體而言，DRAM可以達到相當高的積集度，使得DRAM被廣泛地應用在電腦及電器產品上。溝槽電容器為一種常見的電容器結構，其係形成於半導體矽基底中，藉由增加溝槽電容器於半導體矽基底中的深度可以增加其表面積，以增加其電容量。而溝槽電容器晶片可以大至分為記憶胞陣列區(memory cell array area)和解耦合電容區(decoupling capacitor area)，其中記憶胞陣列區是用以儲存資料的區域，而解耦合電容區是用以過濾雜訊(noise)的區域。

當DRAM的尺寸縮小，而溝槽儲存電容亦隨之變小，因



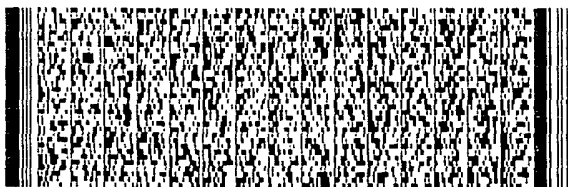
五、發明說明 (2)

此，有需要發展增加儲存電容的方法，例如蝕刻半導體基底以擴大溝槽底部而形成瓶型溝槽(bottle shaped trench)，傳統形成瓶型溝槽的方式主要係採用非等向性乾蝕刻(anisotropic dry etching)方法，例如美國專利5,112,771，但是上述專利揭示的方法將溝槽底部擴大的方式的效果有限，並且較難以控制，製程也相當複雜。

然而，習知常利用氮化法(nitridation)以形成氮化物保護層，因此，往往會有氮化物保護層厚度不足的問題，無法於進行瓶型蝕刻(bottle wet etching)時提供充足的保護，使得瓶型開口的尺寸受限，增加電容量的效果有限。

再者，習知之溝槽電容器製作需利用光阻填充於溝槽內部作為遮蔽之用，光阻之平坦度往往受到1. 基底與光阻表面之間的附著性。2. 記憶胞陣列區(溝槽密度較大)和解耦合電容區(溝槽密度較小)之溝槽密度分佈不均。兩者因素所影響，而導致各溝槽中剝除後光阻的上表面與半導體矽基底的上表面相距不一定距離。如此一來，不僅各溝槽電容的面積大小不一致，還會導致解耦合電容區之電容器的失效，也使得記憶胞陣列區之電容器的電容量減少，更使得下電極與離子摻雜帶之間的崩潰電壓下降。

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種改善光阻平坦度的方法。



五、發明說明 (3)

【發明內容】

本發明之目的之一在於提供一種形成具有一既定深度之溝槽的方法，適用以製作溝槽電容，可以有效控制充填於不同密度之溝槽中之光阻的上表面與基底上表面之間的距離維持一致。

本發明之目的之二在於提供一種形成具有一既定深度之溝槽的方法，適用以製作溝槽電容，不但可以避免解耦合電容區之電容器的失效，還可以避免記憶胞陣列區之電容器的電容量減少，以增加下電極與離子摻雜帶之間的崩潰電壓，以增加電容器元件的可靠度。

本發明之目的之三在於提供一種形成具有一既定深度之溝槽的方法，適用以製作溝槽電容，以提高溝槽電容器的下電極之製程的良率。

本發明之目的之四在於提供一種新的形成瓶型溝槽的方法，以簡化製程，增加製程容許度(process window)。

本發明之目的之五在於提供一種形成瓶型溝槽的方法，可形成厚的保護層於溝槽上半部，以利增加電容大小。

本發明之主要特徵之一在於以複晶矽取代習知製作溝槽電容中所採用之光阻，屏除表面不易平坦的光阻，以避免習知之剝除溝槽上半部光阻後會發生光阻表面與基底表面距離不易控制的問題。

本發明之主要特徵之二在於以沉積的方法形氮化物保護層，可容易掌控且增加其厚度，以便於進行瓶型蝕刻



五、發明說明 (4)

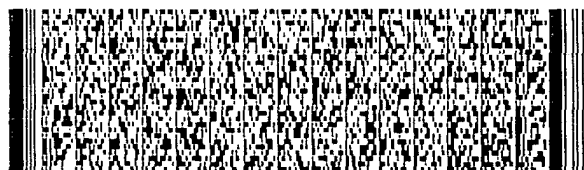
(bottle wet etching)時提供充足的保護，可大大地增加開口尺寸，仍使溝槽上半部不被蝕刻。屏除習知以氮化法形成氮化物保護層的方式，可避免氮化法所形成之保護層往往有厚度不足的問題，無法於進行瓶型蝕刻(bottle wet etching)時提供充足的保護。

為獲致上述之目的，本發明提出一種形成瓶型溝槽的方法，適用於動態隨機存取記憶體的電容，此方法的步驟主要係包括：

首先，提供一基底。接著，形成具有一開口的硬罩幕於上述基底表面。接著，經由上述硬罩幕的開口蝕刻上述基底，以形成一溝槽，此溝槽被區分為上半部以及下半部。然後，順應性形成一氧化層於上述溝槽以及硬罩幕表面。接著，填入一遮蔽層於上述溝槽的下半部。接著，去除未被上述遮蔽層遮蓋之上述氧化層，以露出上述溝槽上半部之基底表面。接著，形成一保護層於上述溝槽上半部之基底表面。接著，去除上述遮蔽層，而露出位於上述溝槽下半部之上述氧化層。接著，去除上述氧化層，以露出上述溝槽下半部之上述基底表面。最後，以上述保護層為遮蔽，蝕刻上述溝槽下半部之基底，以形成一瓶型溝槽。

如前所述，上述硬罩幕係氮化物(nitride)。並且，形成上述溝槽係利用非等向性蝕刻(anisotropic etching)以完成。另外，上述氧化層係利用化學氣相沈積法(chemical vapor deposition; CVD)所形成。

如前所述，上述氧化層包括摻雜物。可以於於形成上



五、發明說明 (5)

述保護層於上述溝槽上半部之基底表面之步驟後更包括一步驟：使上述摻雜物驅入上述基底中。上述摻雜物之驅入可利用熱處理加以進行。

如前所述，上述遮蔽層係複晶矽。形成上述遮蔽層於上述溝槽的下半部之步驟更包括下列步驟：形成上述遮蔽層於上述溝槽內部；以及去除上述溝槽上半部之上述遮蔽層，以留下溝上述槽下半部之上述遮蔽層。上述遮蔽層係利用化學氣相沉積法(chemical vapor deposition; CVD)所形成。

如前所述，上述保護層係氮化物(nitride)，可利用化學氣相沉積法(chemical vapor deposition; CVD)所形成。

根據本發明，形成上述保護層於上述溝槽上半部之基底表面的方法包括：

首先，順應性形成一保護層於上述溝槽底部表面與上述溝槽上半部之側壁表面。然後，去除上述溝槽底部表面之保護層，僅留下位於上述溝槽上半部側壁表面之保護層。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】



五、發明說明 (6)

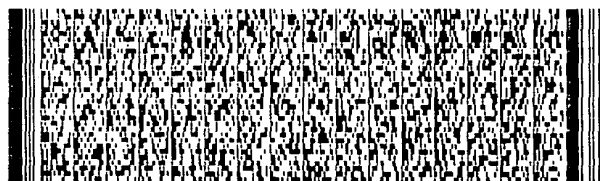
以下請配合參考第1圖至第11圖之製程剖面圖，說明根據本發明之一較佳實施例。

首先，請參照第1圖，利用傳統的微影製程 (photolithography) 以及蝕刻步驟，以在例如單晶矽構成的半導體基底100的表面的既定位置形成具有開口 (openings) 的硬罩幕 (hard mask) 102，然後，利用非等向電漿蝕刻法並且使用溴化氫 (HBr)、氟化氮 (NF_3)、氧氣 (O_2) 與氮氣為反應氣體，經由上述硬罩幕102的開口蝕刻半導體基底100，以形成一深度大約60000~80000 Å 的直立式溝槽104，此溝槽被區分為上半部I以及下半部II。

接下來，請參照第2圖，利用化學氣相沈積法 (chemical vapor deposition; CVD) 並且採用二氯矽烷為主要反應氣體而在溝槽104的表面順應性形成厚度大約100~300 Å 的氧化矽層106於溝槽104以及硬罩幕102表面。其中，氧化矽層106具有摻雜物，例如：砷 (As)。

然後，請參照第3圖，例如利用化學氣相沉積法 (chemical vapor deposition; CVD) 形成一遮蔽層108以填入上述溝槽104內。遮蔽層108之材質包括複晶矽 (poly-silicon)，其厚度大體為2000~4000 Å。遮蔽層108之材質為本發明之主要特徵之一，以複晶矽取代習知製作溝槽電容中所採用之光阻，屏除表面不易平坦的光阻，以避免習知之剝除溝槽上半部光阻後會發生光阻表面與基底表面距離不易控制的問題。

接著，請參照第4圖，利用緩衝氧化蝕刻液 (buffered



五、發明說明 (7)

oxide etchant ; BOE) 去除部份遮蔽層108，直到遮蔽層108表面與基底100表面相距一既定距離，約8000~14000 Å，以留下殘留遮蔽層108a於溝槽下半部II。蝕刻遮蔽層108係利用蝕刻速率以推算蝕刻時間長短，以時間模式決定蝕刻終點。由於遮蔽層108係利用沉積方式形成，可完整全填滿溝槽104，因此其厚度均勻且易掌控，無論溝槽104的密度均勻與否，各溝槽104內之該既定距離可以很好控制，解耦合電容區與記憶胞陣列區之遮蔽層108厚度皆相同。然而習知技術大多採用光阻(photoresist)做為遮蔽層，由於光阻利用旋塗法(spin coating) 密度不一致的填入解耦合電容區與記憶胞陣列區溝槽，無法使各溝槽內的光阻厚度均勻一致。

接著，請參照第5圖，利用磷酸溶液來當作蝕刻劑，去除未被殘留遮蔽層108a遮蓋之氧化層106，以露出溝槽上半部I之基底100表面，此時僅留下溝槽下半部II之氧化矽層106a。

其次，請參照第6圖，順應性形成一保護層110於溝槽底部表面與溝槽上半部I之側壁表面。保護層110之材質包括氮化物(nitride)，可利用化學氣相沉積法(chemical vapor deposition; CVD)所形成，其厚度約為100~300 Å。本發明之另一主要特徵，係以沉積的方法形成氮化物保護層110，可容易掌控且增加其厚度，以便於後續進行瓶型蝕刻(bottle wet etching)時提供充足的保護。

然後，請參照第7圖，實施一熱處理程序300，使殘留



五、發明說明 (8)

氧化矽層106a之摻雜物驅入溝槽下半部II之基底100中。溫度約為800~1000℃。

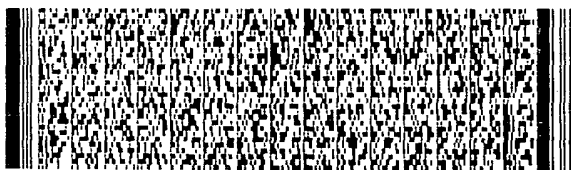
然後，請參照第8圖，例如以非等向性乾蝕刻法去除位於溝槽底部表面與硬罩幕層102表面之保護層110，僅留下位於溝槽上半部I側壁表面之保護層110a。

然後，請參照第9圖，例如以氫氟酸(HF)為蝕刻液，去除殘留遮蔽層108a，而露出位於溝槽下半部II之殘留氧化層106a。

接著，請參照第10圖，去除位於溝槽下半部II之殘留氧化層106a，以露出溝槽下半部II之基底表面。

接下來，請參照第11圖，以保護層110a為遮蔽，例如利用氨水溶液來溼蝕刻溝槽的下半部II的基底100，以形成具有擴大部的瓶型溝槽(bottle shaped)112，藉此能夠進一步地增加溝槽電容的表面積。本發明之保護層110a之厚度(100~300 Å)遠遠大於習知之保護層厚度(30~40 Å)，於此蝕刻瓶型溝槽的步驟中提供充足的保護，即使延長蝕刻時間，增加瓶型開口尺寸，仍使溝槽上半部不被蝕刻。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做各種的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

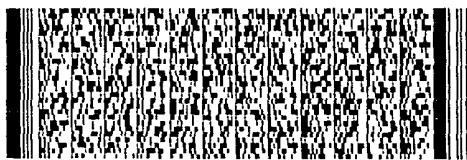


圖式簡單說明

第1圖至第11圖係說明之形成瓶型溝槽之一較佳實施例之製程剖面圖。

【符號說明】

- 100~基底;
- 102~硬罩幕;
- 104~溝槽;
- I~溝槽上半部;
- II~溝槽下半部;
- 106~氧化矽層;
- 108~遮蔽層;
- 108a~殘留遮蔽層;
- 106a~殘留氧化層;
- 110~保護層;
- 300~熱處理程序;
- 110a~殘留保護層;
- 112~瓶型溝槽。



六、申請專利範圍

1. 一種形成瓶型溝槽的方法，適用於動態隨機存取記憶體的电容，上述方法包括下列步驟：

提供一基底；

形成具有一開口的硬罩幕於上述基底表面；

經由上述硬罩幕的開口蝕刻上述基底，以形成一溝槽，此溝槽被區分為上半部以及下半部；

順應性形成一隔離層於上述溝槽以及硬罩幕表面；

填入一遮蔽層於上述溝槽的下半部；

去除未被上述遮蔽層遮蓋之上述隔離層，以露出上述溝槽上半部之基底表面；

形成一保護層於上述溝槽上半部之基底表面；

去除上述遮蔽層，而露出位於上述溝槽下半部之上述隔離層；

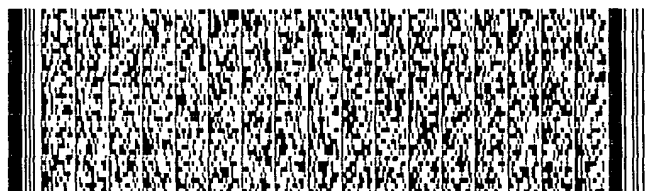
去除上述隔離層，以露出上述溝槽下半部之上述基底表面；以及

以上述保護層為遮蔽，蝕刻上述溝槽下半部之基底，以形成一瓶型溝槽。

2. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中上述基底係矽(silicon)基底。

3. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中上述硬罩幕係氮化物(nitride)。

4. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中形成上述溝槽係利用非等向性蝕刻(anisotropic etching)以完成。



六、申請專利範圍

5. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中上述隔離層係利用化學氣相沈積法(chemical vapor deposition; CVD)所形成之氧化物。

6. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中上述隔離層包括摻雜物。

7. 如申請專利範圍第6項所述之形成瓶型溝槽的方法，其中於形成上述保護層於上述溝槽上半部之基底表面之步驟後更包括：使上述摻雜物驅入上述基底中。

8. 如申請專利範圍第7項所述之形成瓶型溝槽的方法，其中上述摻雜物之驅入係利用熱處理加以進行。

9. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中上述遮蔽層係複晶矽。

10. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中填入上述遮蔽層於上述溝槽的下半部之步驟更包括下列步驟：

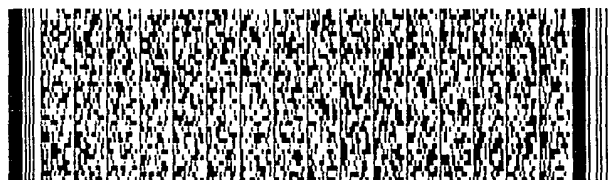
形成上述遮蔽層於上述溝槽內部；以及

去除上述溝槽上半部之上述遮蔽層，以留下溝上述槽下半部之上述遮蔽層。

11. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中上述遮蔽層係利用化學氣相沉積法(chemical vapor deposition; CVD)所形成。

12. 如申請專利範圍第1項所述之形成瓶型溝槽的方法，其中上述保護層係氮化物(nitride)。

13. 如申請專利範圍第12項所述之形成瓶型溝槽的方



六、申請專利範圍

法，其中上述保護層係利用化學氣相沉積法(chemical vapor deposition; CVD)所形成。

14. 一種形成瓶型溝槽的方法，適用於動態隨機存取記憶體的电容，上述方法包括下列步驟：

提供一基底；

形成具有一開口的硬罩幕於上述基底表面；

經由上述硬罩幕的開口蝕刻上述基底，以形成一溝槽，此溝槽被區分為上半部以及下半部；

順應性形成一隔離層於上述溝槽以及硬罩幕表面；

填入一遮蔽層於上述溝槽的下半部；

去除未被上述遮蔽層遮蓋之上述隔離層，以露出上述溝槽上半部之基底表面；

順應性形成一保護層於上述溝槽底部表面與上述溝槽上半部之側壁表面；

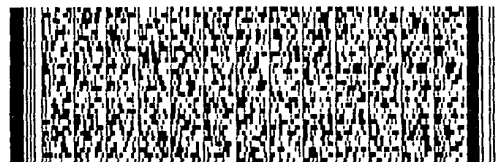
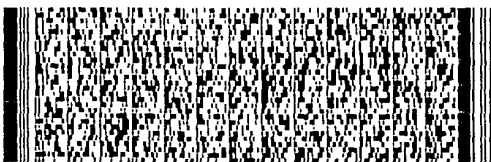
去除上述溝槽底部表面之保護層，僅留下位於上述溝槽上半部側壁表面之保護層；

去除上述遮蔽層，而露出位於上述溝槽下半部之上述隔離層；

去除位於上述溝槽下半部之上述隔離層，以露出上述溝槽下半部之上述基底表面；以及

以上述保護層為遮蔽，蝕刻上述溝槽下半部之基底，以形成一瓶型溝槽。

15. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中上述基底係矽(silicon)基底。



六、申請專利範圍

16. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中上述硬罩幕係氮化物(nitride)。

17. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中形成上述溝槽係利用非等向性蝕刻(anisotropic etching)以完成。

18. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中上述隔離層係利用化學氣相沈積法(chemical vapor deposition; CVD)所形成之氧化層。

19. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中上述隔離層包括摻雜物。

20. 如申請專利範圍第19項所述之形成瓶型溝槽的方法，其中於順應性形成上述保護層於上述溝槽底部表面與上述溝槽上半部之側壁表面之步驟後更包括：使上述摻雜物驅入上述基底中。

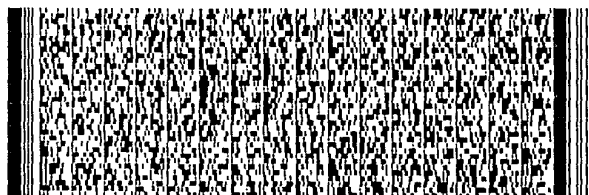
21. 如申請專利範圍第20項所述之形成瓶型溝槽的方法，其中上述摻雜物之驅入係利用熱處理加以進行。

22. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中上述遮蔽層係複晶矽。

23. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中填入上述遮蔽層於上述溝槽的下半部之步驟更包括下列步驟：

形成上述遮蔽層於上述溝槽內部；以及

去除上述溝槽上半部之上述遮蔽層，僅留下溝上述槽下半部之上述遮蔽層。



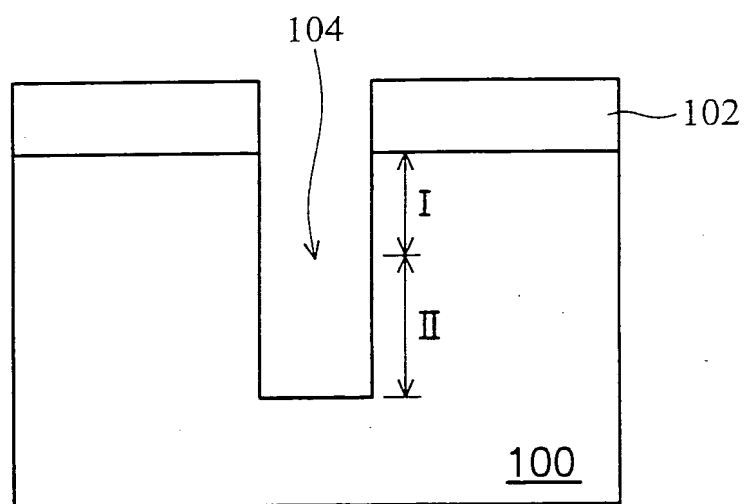
六、申請專利範圍

24. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中上述遮蔽層係利用化學氣相沉積法(chemical vapor deposition; CVD)所形成。

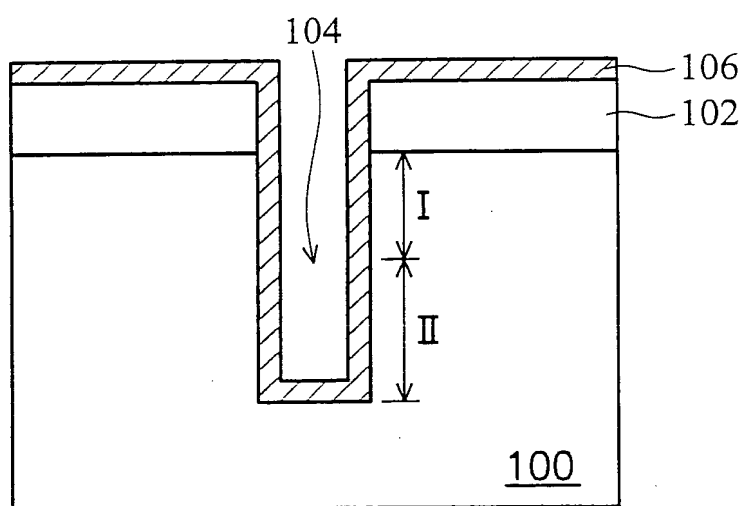
25. 如申請專利範圍第14項所述之形成瓶型溝槽的方法，其中上述保護層係氮化物(nitride)。

26. 如申請專利範圍第25項所述之形成瓶型溝槽的方法，其中上述保護層係利用化學氣相沉積法(chemical vapor deposition; CVD)所形成。

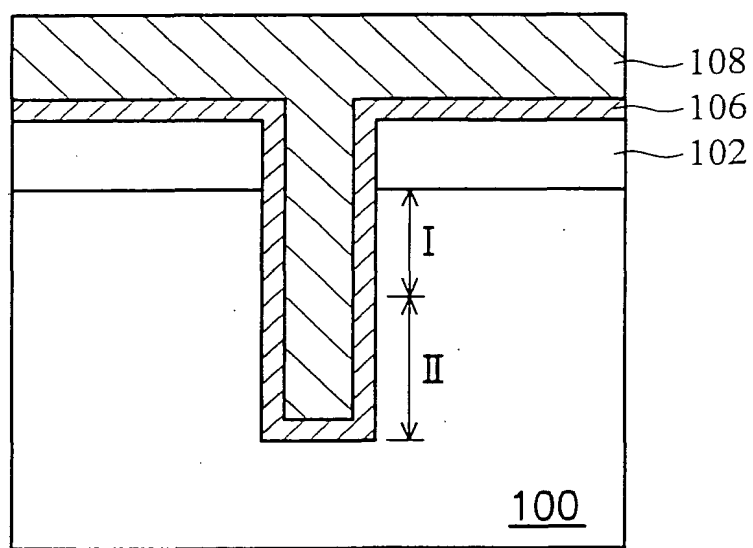




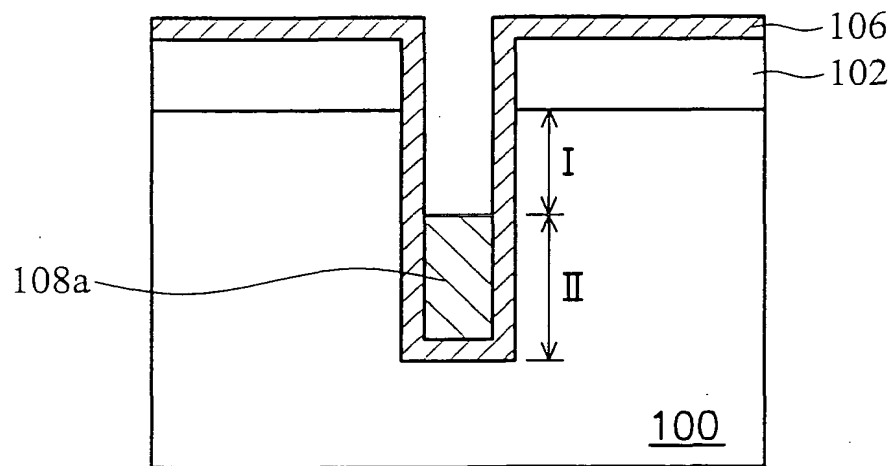
第 1 圖



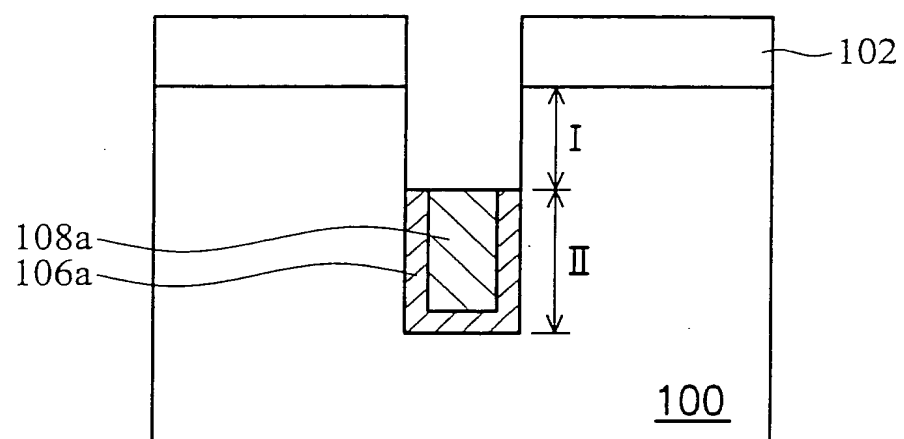
第 2 圖



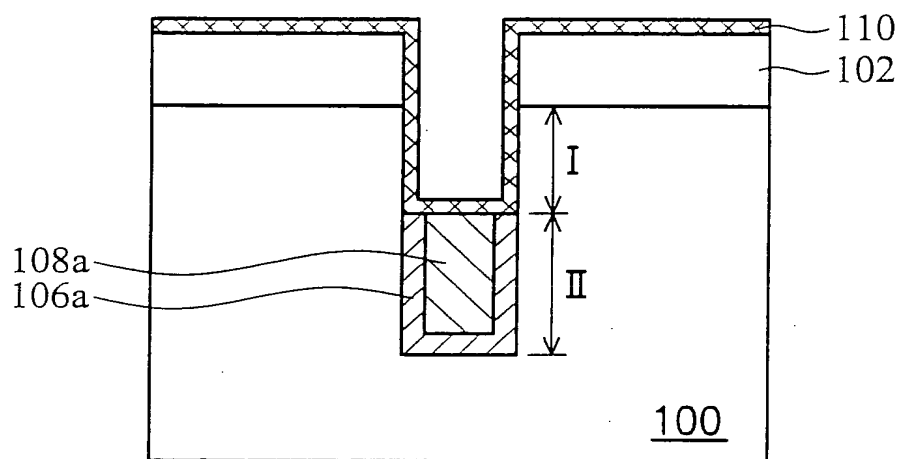
第 3 圖



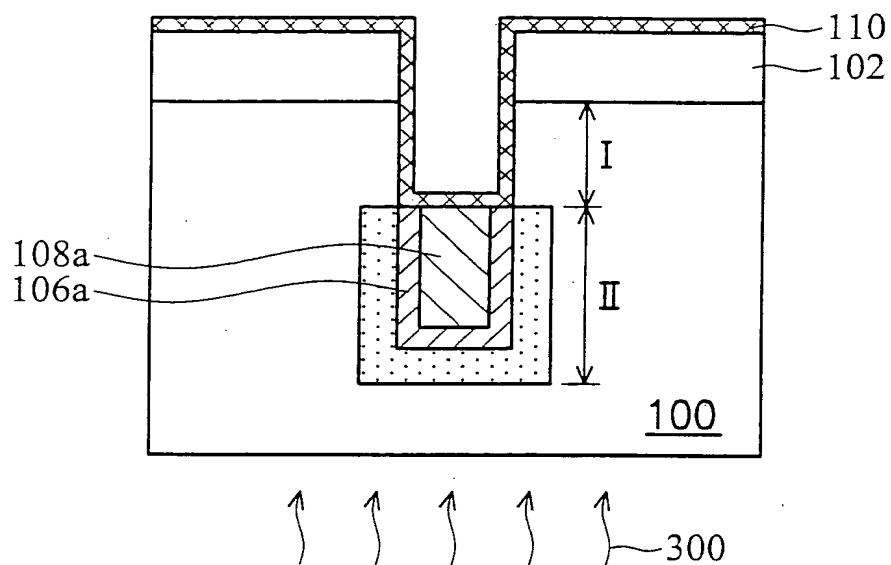
第 4 圖



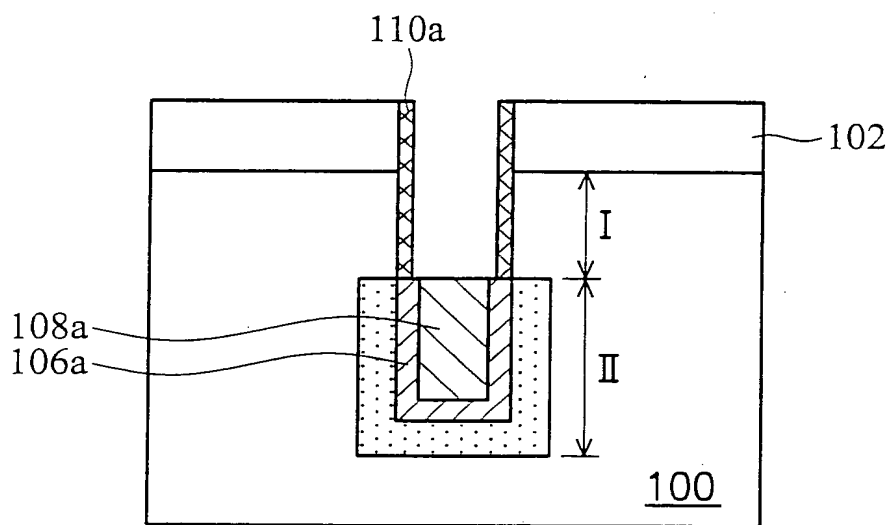
第 5 圖



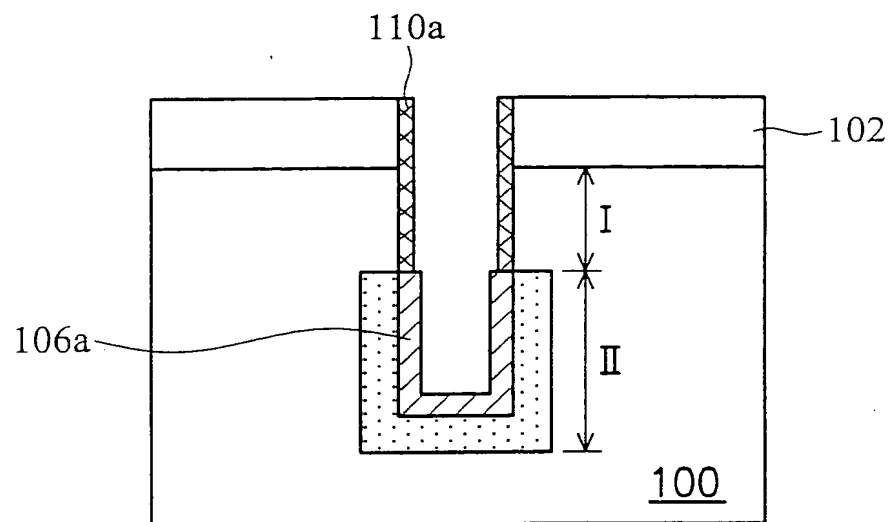
第 6 圖



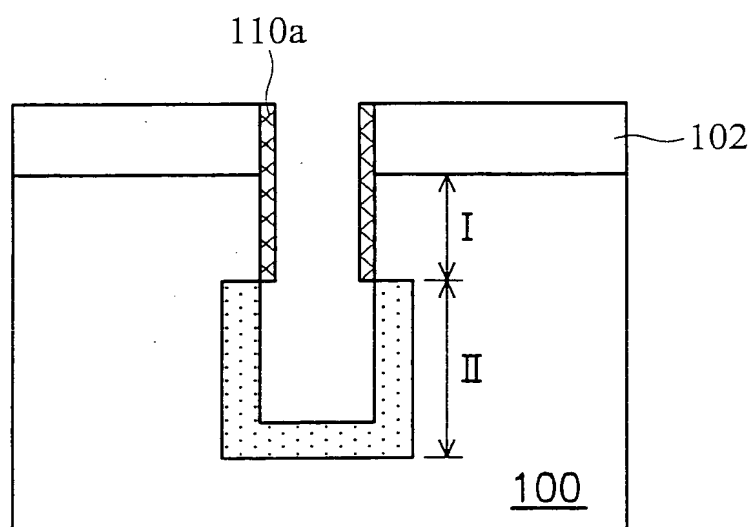
第 7 圖



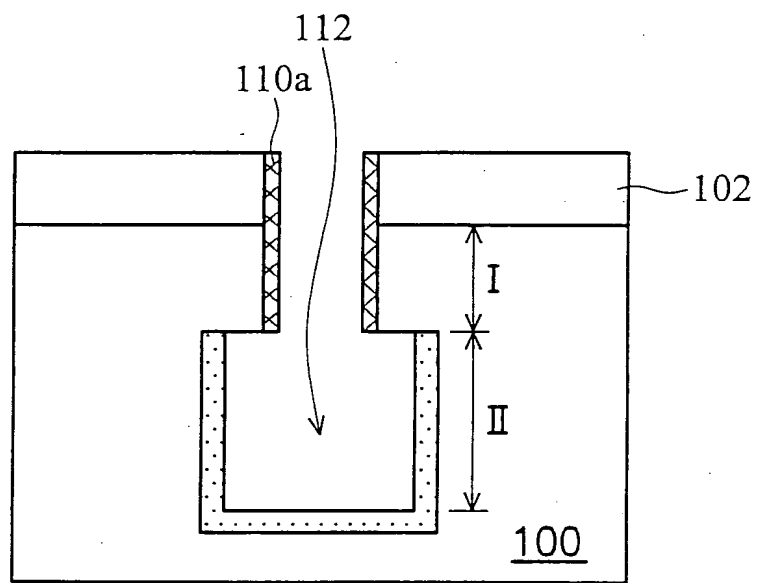
第 8 圖



第 9 圖

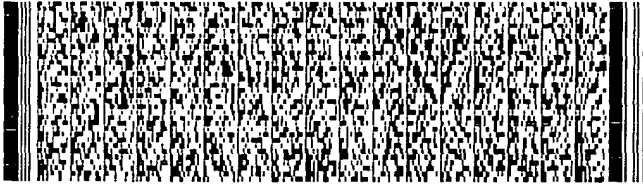


第 10 圖



第 11 圖

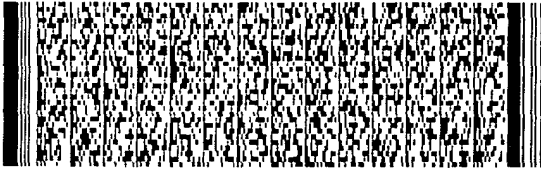
第 1/18 頁



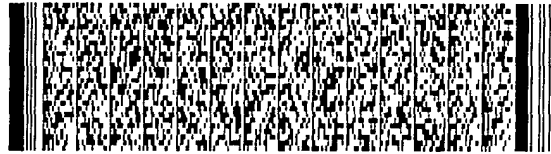
第 2/18 頁



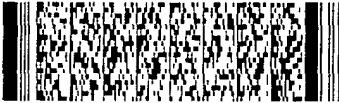
第 2/18 頁



第 3/18 頁



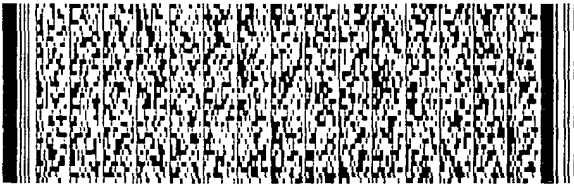
第 4/18 頁



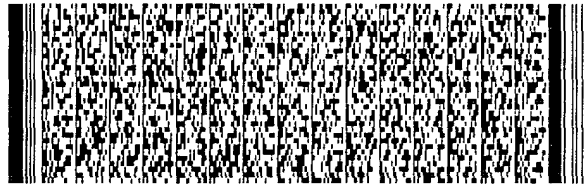
第 5/18 頁



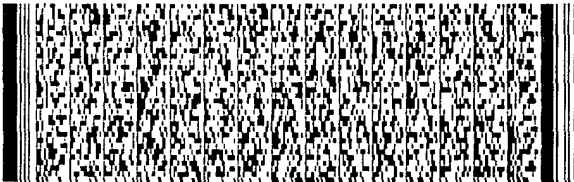
第 5/18 頁



第 6/18 頁



第 6/18 頁



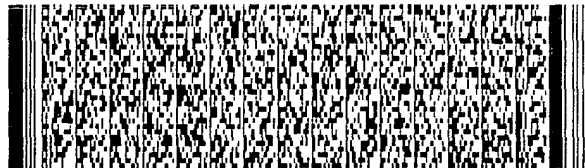
第 7/18 頁



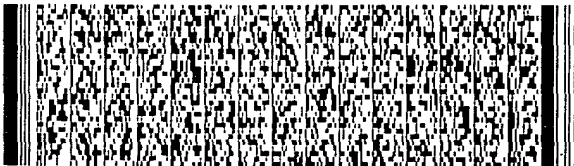
第 7/18 頁



第 8/18 頁



第 8/18 頁



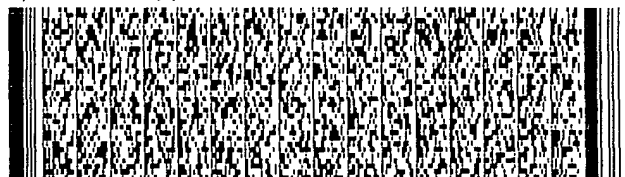
第 9/18 頁



第 9/18 頁



第 10/18 頁



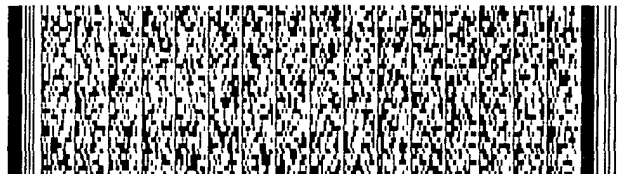
第 10/18 頁



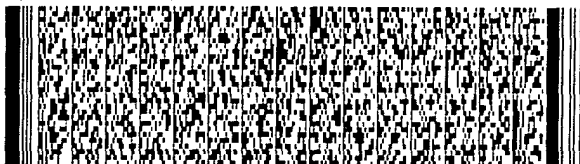
第 11/18 頁



第 11/18 頁



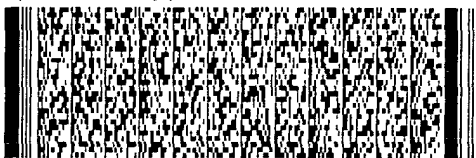
第 12/18 頁



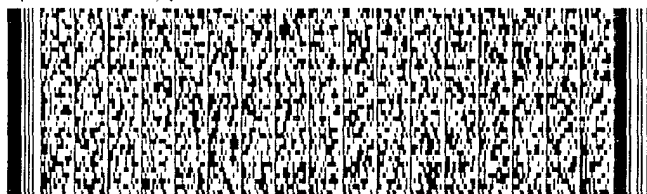
第 12/18 頁



第 13/18 頁



第 14/18 頁



第 15/18 頁



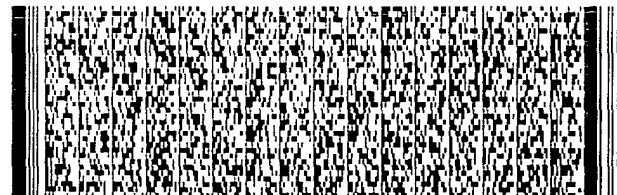
第 16/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

